

# DELPHION

[Log Out](#) [Work Files](#) [Saved Searches](#)[RESEARCH](#)[My Account](#)[PRODUCTS](#)[INSIDE DELPHION](#)

No active trail

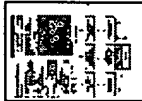
[SELECTOR](#)[TOP TRACKING](#)

Search: Quick/Number Boolean Advanced Derwent Help

## The Delphion Integrated View

Get Now: ☒ PDF | [More choices...](#)Tools: Add to Work File: [Create new Work File](#) [Add](#)View: [INPADOC](#) | Jump to: [Top](#) Go to: [Derwent](#)☒ [Email this to a friend](#)**Title: JP04322468A2: OVERVOLTAGE PROTECTING CIRCUIT****Derwent Title:** Protective circuit limiting overvoltages between chosen levels - uses star connected anti-parallel pairs of diode and thyristor connected between two lines and ground [[Derwent Record](#)]**Country:** JP Japan**Kind:** A**Inventor:** BERNIER ERIC;  
PEZZANI ROBERT;**Assignee:** SGS THOMSON MICROELECTRON SA  
[News, Profiles, Stocks and More about this company](#)**Published / Filed:** 1992-11-12 / 1991-12-04**Application Number:** JP1991000347777**IPC Code:** H01L 29/74; G01R 19/165; H02H 9/04; H02J 1/00;**Priority Number:** 1990-12- FR1990000015640**Abstract:** PURPOSE: To obtain a circuit which can be coupled with a fault detecting circuit by connecting the base of a transistor(TR) to a cathode gate of a thyristor so that its emitter corresponds to a control terminal and coupling the collector with a common contact, which is connected to the gate of an anode gate thyristor.

CONSTITUTION: Thyristors T2 and T3 are coupled with TRs TR2 and TR3 for amplifying gate currents. The TRs have their bases connected to the cathode gates of the thyristors so that their emitters correspond to a control terminal G1. The collectors of the

High  
Resolution**BEST AVAILABLE COPY**



TRs TR2 and TR3 are coupled with a common contact D, which is connected to a gate E of an anode gate thyristor T1. Consequently, problems accompanying the detection of a fault of a conductor are solved, and monolithic integration becomes possible.

COPYRIGHT: (C)1992,JPO

INPADOC  
Legal Status:  
Designated  
Country:

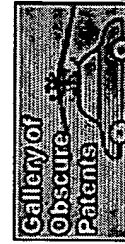
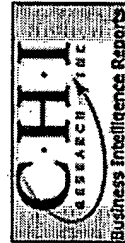
None  
Get Now: [Family Legal Status Report](#)  
DE FR GB IT

Family:

PDF	Publication	Pub. Date	Filed	Title
	<a href="#">US5243488</a>	1993-09-07	1991-12-06	Protection circuit limiting overvoltages between two selected limits and its monolithic integration
	<a href="#">JP05199655A2</a>	1993-08-06	1991-12-04	LOW-CAPACITANCE PROTECTING CIRCUIT
	<a href="#">JP04322468A2</a>	1992-11-12	1991-12-04	OVERVOLTAGE PROTECTING CIRCUIT
	<a href="#">FR2670339B1</a>	1993-03-12	1990-12-07	CIRCUIT DE PROTECTION LIMITANT LES SURTENSIONS ENTRE DEUX LIMITES CHOISIES ET SON INTEGRATION MONOLITHIQUE.
	<a href="#">FR2670339A1</a>	1992-06-12	1990-12-07	CIRCUIT DE PROTECTION LIMITANT LES SURTENSIONS ENTRE DEUX LIMITES CHOISIES ET SON INTEGRATION MONOLITHIQUE.
	<a href="#">EP0490787B1</a>	1996-09-04	1991-12-03	Protection circuit limiting overvoltages between selected limits and its monolithic integration
	<a href="#">EP0490787A1</a>	1992-06-17	1991-12-03	Protection circuit limiting overvoltages between selected limits and its monolithic integration
	<a href="#">DE69121860T2</a>	1997-01-23	1991-12-03	UEBERSpannungen ZWISCHEN AUSGEWAELHTEN GRENZEN BEGRENZENDE SCHUTZSCHALTUNG UND DEREN MONOLITSCHIE INTEGRATION
	<a href="#">DE69121860C0</a>	1996-10-10	1991-12-03	UEBERSpannungen ZWISCHEN AUSGEWAELHTEN GRENZEN BEGRENZENDE SCHUTZSCHALTUNG UND DEREN MONOLITSCHIE INTEGRATION
9 family members shown above				

Other Abstract  
Info:

DERABS G92-202007



Nominate this for the Gallery...





Copyright © 1997-2005 The Thomson Corporation  
[Subscriptions](#) | [Web Seminars](#) | [Privacy](#) | [Terms & Conditions](#) | [Site Map](#) | [Contact Us](#) | [Help](#)



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-322468

(43) 公開日 平成4年(1992)11月12日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/74	F	7013-4M		
G 0 1 R 19/165	L	9016-2G		
H 0 1 L 29/74	D	7013-4M		
H 0 2 H 9/04	B	8834-5G		
H 0 2 J 1/00	3 0 9 H	7373-5G		

審査請求 未請求 請求項の数4(全 6 頁)

(21) 出願番号 特願平3-347777

(22) 出願日 平成3年(1991)12月4日

(31) 優先権主張番号 9 0 1 5 6 4 0

(32) 優先日 1990年12月7日

(33) 優先権主張国 フランス (F R)

(71) 出願人 591035139

エスジェエーストムソン ミクロエレクト  
ロニクス ソシエテ アノニム  
SGS-THOMSON MICROEL  
ECTRONICS SOCIETE A  
NONYME

フランス国, 94250 ジエンティリイセ  
デ, アベニュー ガリエニ, 7番地

(72) 発明者 エリク ベルニエ

フランス国, 37100 トウール, アベ  
ニュー ドウ レロブ 70番地

(74) 代理人 弁理士 山本 恵一

最終頁に続く

(54) 【発明の名称】 過電圧保護回路

(57) 【要約】

【目的】 本発明は、電話回線のような回線の過電圧に対する保護回路に関し、過電圧スレッシュホールド値を設定することが可能であり、障害検出回路に結合することのできる回路を実現することを目的とする。

【構成】 共通接点と第1の導線の間、共通接点と第2の導線の間、および共通接点とグランドの間の、第1の保護構成要素、第2の保護構成要素、および第3の保護構成要素が、それぞれ、サイリスタと逆並列であるダイオードによって構成され、そのサイリスタのアノードは共通接点に接続され、そのゲートは極性の信号を受信し、第1および第2のサイリスタはカソード・ゲート型であり、第3のサイリスタはアノード・ゲート型であり、第1と第2のサイリスタはトランジスタに結合され、それぞれのトランジスタのエミッタはそれぞれの対応するサイリスタのゲートに接続され、それぞれのコレクタは第3のサイリスタのゲートに接続される第2の共通接点に接続して、構成する。

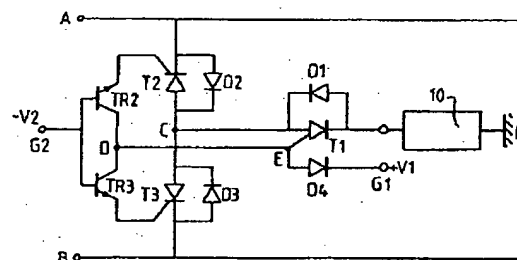


Fig. 2